DAC3484EVM综合测试报告

# 验证目的

验证测试最终目的：设计并研制一款采样率在1Gsps以上的DAC board应用于超导量子比特系统。

验证测试现有目标： 使用现有SP605 FPGA开发板配合DAC3484评估板进行验证，验证是否可以在现有硬件支持的极限性能下做到任意波形的发生。通过这样的验证为高速DAC的研制积累设计经验。

# 验证方法及装置

## FPGA开发板：Spartan®-6 FPGA SP605评估板；

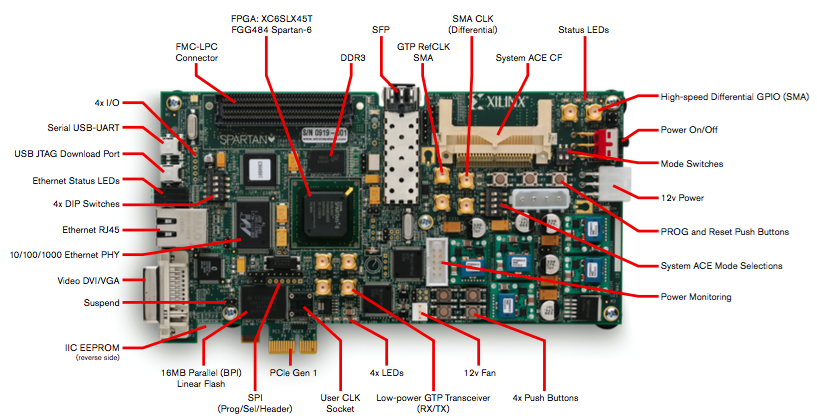


图1. Spartan®-6 FPGA SP605评估板

核心为xilinx公司的Spartan-6系列FPGA, XC6SLX45TFGG484

搭配USB-UART，USB-JTAG，Ethernet，DVI/VGA，SPI，PCIe，SFP，FMC-LPC多个接口。

## 2.2 DAC评估板：DAC3484evm；

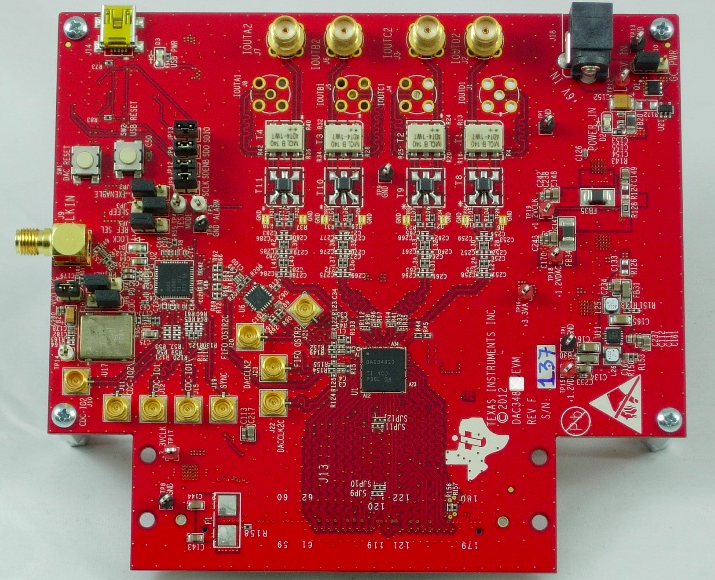


图2 DAC3484EVM

DAC3484EVM 是能让设计者评估德州仪器 (TI) DAC3484 四通道超低功耗 16 位 1.25GSPS 数模转换器 (DAC) 性能的电路板，它具有 8 位宽 DDR LVDS 数据输入、集成 2x/4x/8x/16x 内插滤波器、32 位 NCO 和 PLL，并且在高 IF 时具有出色的线性度。

1. 与 TSW3100 信号发生器直接连接
2. 包含用于时钟生成或抖动消除的 CDCE62005
3. 包含用于完整的发送器评估的 TRF370315
4. 具有完整功能 GUI 的软件支持，以确保轻松测试和原型设计
5. FMC-DAC-Adapter 卡兼容连接 Xilinx FPGA EVM 上提供的 FMC 互连接头

## 板级连接方式

通过一块FMC连接板将SP605与DAC3484evm通过FMC接口连接起来，SP605中FMC接口能调用的FPGA管脚资源的包括5对差分Gclk，1组MGT，包括MGTTX\_P/N，MGTRX\_P/N，1对MGTREFCLK。所以理论上FMC接口能跑到FPGA的最高速度，且无需任何驱动。此处可补上图片。

# 验证设计

DAC3484的接口支持两种输入方式：Word-wide mode和Byte-wide mode。

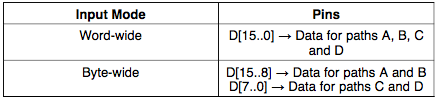


图2.DAC3484两种输入模式

其对应的接口时序分别为

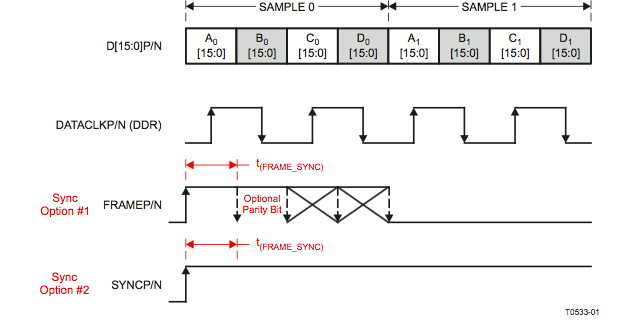


图3.Word-wide Mode接口时序图

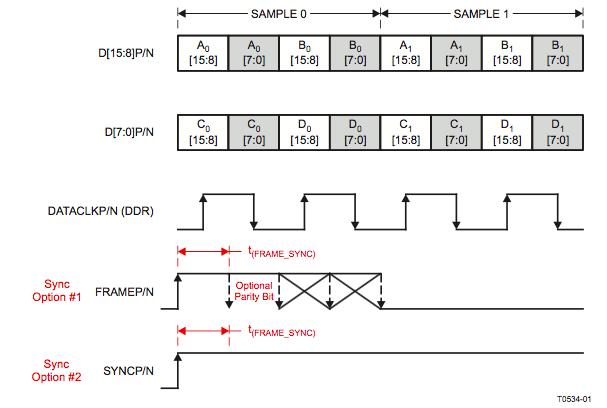


图4.Byte-wide Mode接口时序图

因为DAC的分辨率为16bit，所以我们选择相对较为直观的Word-wide Mode进行接口逻辑设计。

Word-wide Mode接口逻辑的设计思路大致如下：

A,B,C,D四个端口输入16位数据。通过组合逻辑组合成64位，ABCD\_combine(63 downto 0)

FIFO: 创建一个64位输入，32位输出，异步读写时钟的FIFO。写入时钟250Mhz，读时钟500Mhz。 作用是将64位宽的数据分割成32位宽度输出。

DCM: 创建一个DCM，输入时钟为晶振200Mhz，输出CLK\_out1:370mhz，CLK\_out2:370mhz 180phase shift，CLK\_out3: 185Mhz, CLK\_out4:370mhz 90phase shift。

|  |  |  |  |
| --- | --- | --- | --- |
|  | speed | Phase shift |  |
| CLK\_out1 | 370mhz | 0° | DDR C0, FIFO rclk |
| CLK\_out2 | 370mhz | 180° | DDR C1 |
| CLK\_out3 | 185mhz | 0° | FIFO wclk |
| CLK\_out4 | 370mhz | 90° | DATACLK |

ODDR: 观察到时钟DATACLK无论上升沿还是下降沿都触发数据，所以需要例化16个ODDR模块来进行数据传输，ODDR有两个采样时钟C0和C1，相差180°相位差，分别起到上升沿和下降沿的trigger作用,同时起到同步16个ODDR模块的作用。CLK\_out1 给ODDR的第一个时钟c0，CLK\_out2给ODDR的第二个时钟c1, CLK\_out3给ODDR的FIFO的输入，CLK\_out4直接给输出管脚作为DATACLK。所有的CLK都设置成自带BuffG,不需要BuffPlll。

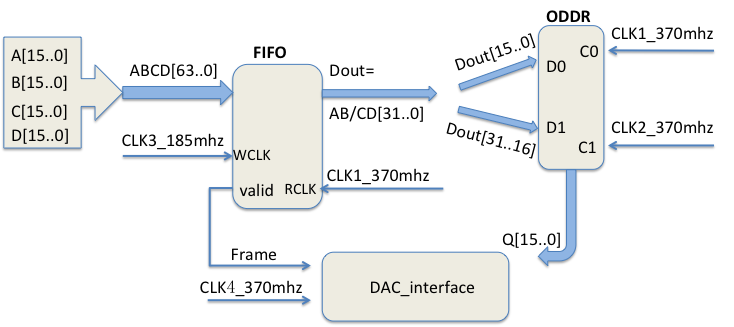


图3.接口逻辑设计简图

另外几个关键信号需要注意的点：

Frame信号：FIFO的valid 信号经过一个ODDR输出成为Frame信号。

内部的Reset和enable信号都通过一个global\_cnt计数来确定触发时间。

所有的输入输出信号都要经过LVDS的buff。

# 验证结果

**实测结果**

最终的理想结果是在DACCLK=370mhz情况下运行dac，使得dac3484单通道运行在185msps的采样速率下，产生符合设计的三角波和正弦波。

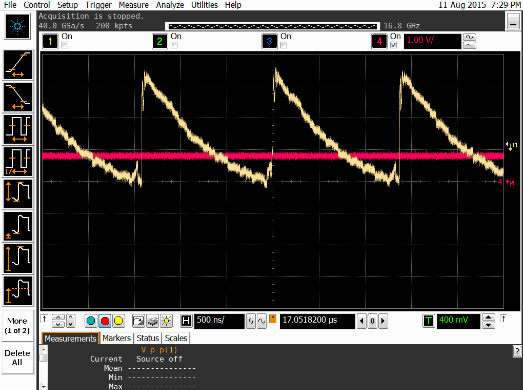


图4.Dataclk<=clk4\_370mhz 90°shift时候的三角波

Q[15..0]为 1000 0F00 0E00 0D00 0C00…周期为1/185\*2^8=1.38us

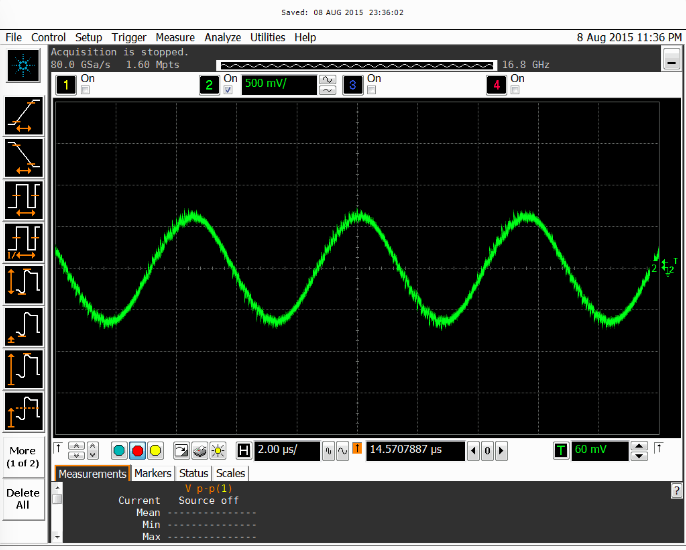


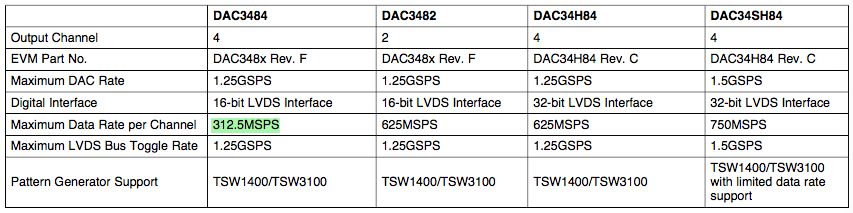
图5. Dataclk<=clk4\_370mhz 90°shift时候的正弦波

# 验证总结

## SP605+DAC3484组合的实测与理论的对比分析

### SP605+DAC3484理论数据

**DAC3484:**

图6.DAC348x系列overview

DAC3484是款Ti公司开发生产的低功耗16bit四通道高速DAC, 四通道最高速率为1.25Gsps, 单通道最高速率达到312.5Msps。

**Spartan-6:**

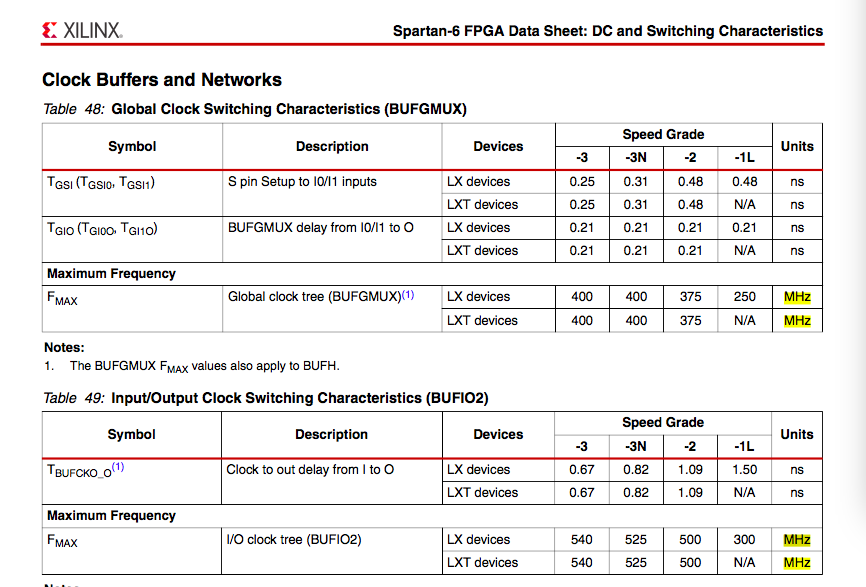


图7. Spartan-6系列BufG和BufIO的数据翻转速率

Spartan-6的内部BufG最高输出375-400mhz, IO口能跑到500-540mhz的速度。

### SP605+DAC3484实测数据

在实际的测试中，当DATACLK提升至400Mhz时，我们发现FPGA内部的时钟信号走线已经不经过DCM模块，而是绕到了远处的PLL模块，而且走的不是时钟线资源，这会导致时钟信号质量的下降，抖动的增加，并且时钟的输出通道数不能很好地满足高速下逻辑应用。

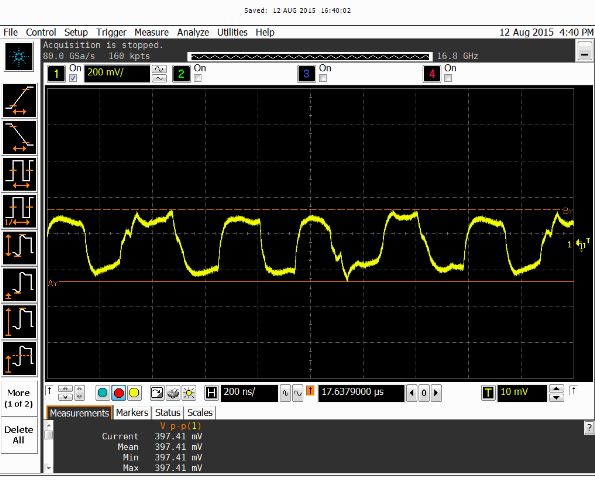


图8. 400mhz dacclk下的sin函数图

而图4图5中的波形是在370Mhz的DATACLK条件下生成的波形。对比图5和图8发现SP605+dac3484这个组合的极限时钟速率就在370mhz附近。而这个速率已经接近了Spartan-6 BufG理论上能输出的最高速率，参考图7，表2。

## Virtex-6 FPGA+ AT84AD001B组合性能预计分析

### Virtex-6 FPGA

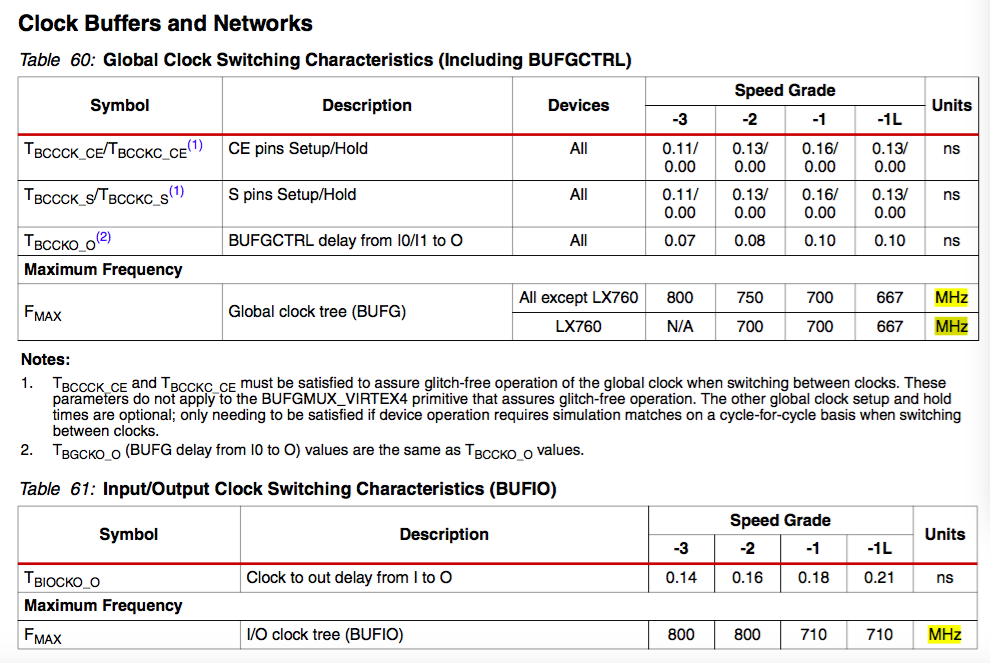


图9. Virtex-6系列BufG和BufIO的数据翻转速率

如图9所示，理论上Virtex-6的内部BufG能跑到667-700mhz, IO能跑到710-800mhz。经过地面战的板子实际测试，V-6 -2 的DCM单通道允许设置的输出能最高到700mhz（第一个通道700mhz，剩下的都跑不到700mhz）, 多通道能稳定输出600mhz时钟。

### AT84AD001B



图10. AT84AD001B的性能简述

AT84AD001B是款8bit的高速ADC，单通道采样速率为1Gsps，在interlaced 模式下双通道绑定模式下的采样速率为2Gsps（固定）。

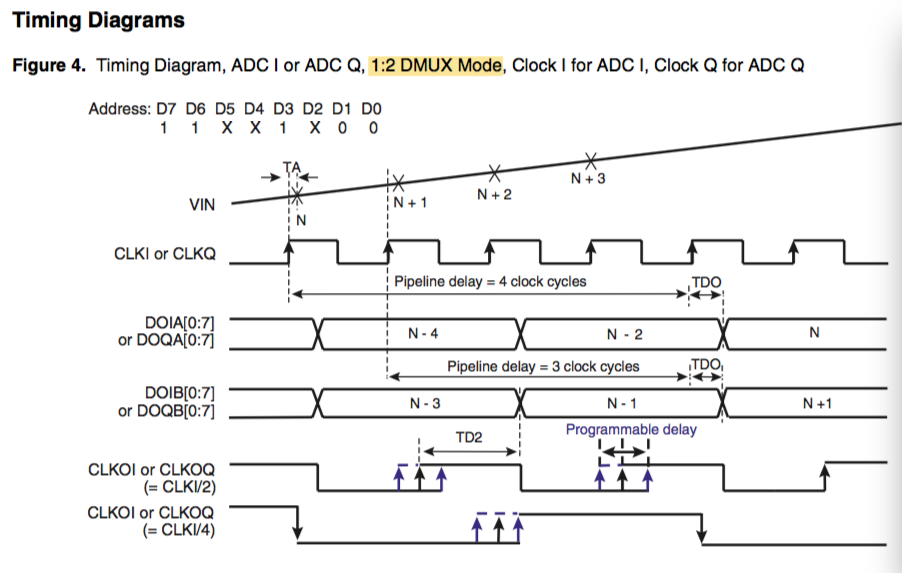


图10.AT84AD001B的接口时序图（1：2DMUX Mode）

图10是我们设计中即将选用的ADC工作模式（1：2DMUX Mode）的接口时序图：CLKI是外部时钟芯片输入给ADC的采样时钟，速度为1Ghz。CLKO为ADC输出给FPGA的同步时钟速率。**由图11分析可看出，当CLKI为1Ghz时，CLKO的速率为500Mhz。这样意味着我们选用的FPGA IOpin能接受的时钟速率必须在500Mhz以上。对比图9，表2，能确认Virtex-6的IOpin速率理论上满足这一需求，又结合在spartan-6实测到速率极限为370mhz的和官方宣称的375-400mhz这对数据出入并不大这一事实，以及根据我们在现有地面战V-6板子上设置DCM bufG输出到700mhz与官方宣称700mhz极限这对数据出入也不大这个事实。我们相信Virtex-6 IOpin实际上能跑到的数据与图9理论上达到800mhz这个数据不会相差太大，应该足以应付500mhz的ADC需求。**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| FPGA器件 | BufG理论最高速率 | BufG实测最高速率 | I/O理论最高速率 | I/O实测最高速率 |
| Spartan-6 | 250-400mhz | 370mhz | 300-540mhz | --- |
| Virtex-6 | 710-800mhz | 700mhz | 710-800mhz | --- |
| DA/AD器件 | 单通道最高采样速率 | 需要FPGA最高BufG速率 | 需要FPGA最高BufIO速率 |
| DAC3484 | 312.5msps | 625mhz | >625mhz |
| AT84AD001B | 1gsps | --- | 500mhz |

表2.各个器件关键性能汇总及对比